

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-148560
(43)Date of publication of application : 07.06.1996

(51)Int Cl. H01L 21/768
H01L 21/28
H01L 21/3205

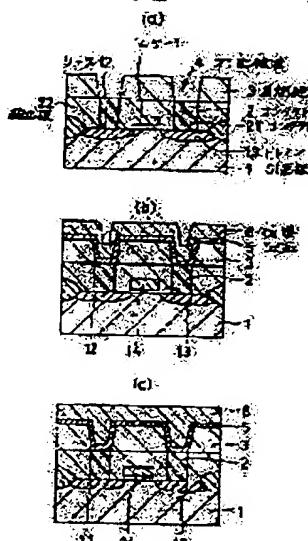
(21)Application number : 06-281043 (71)Applicant : NEC CORP
(22)Date of filing : 16.11.1994 (72)Inventor : MIYAGAWA KUNIKO

(54) WIRING STRUCTURE OF SEMICONDUCTOR DEVICE AND ITS MANUFACTURING

(57) Abstract

PURPOSE: To realize Cu wiring technique by low temperature reflow and to improve producibility by providing a diffusion prevention film formed of fixed alloy at a bottom part and a side wall of a contact hole, etc., and a wiring groove and a Cu film formed therein.

CONSTITUTION: The title wiring structure having at least either of a via hole and a contact hole, and a wiring groove 4 has a diffusion prevention film 5 which is formed in a bottom part and a side wall of either of a via hole and a contact hole and a bottom part and a side wall of the wiring groove 4 and is formed of alloy of an element whose eutectic temperature with Cu is 850° C or below and Cu diffusion prevention barrier metal. It is provided with a Cu film 6 which is formed on the diffusion prevention film 5 and is buried in either of a via hole and a contact hole and the wiring groove 4, respectively. For example, TaSb alloy 5 is formed inside the first wiring groove 4 on the tungsten contact 21, a Cu film 6 is formed thereon and reflow is carried out.



LEGAL STATUS

[Date of request for examination] 16.11.1994

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Rate of final disposal for application]

[Date of final disposal for applications] **00005000**

[Patent number] 2985692
[Date of registration] 21.12.1999

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

DATE OF REJECTION

Copyright (C) 1998-2000, Japan Patent Office.

BEST AVAILABLE COPY

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-1485

(43)公開日 平成8年(1996)6

(51)Int.Cl*	識別記号	序内整理番号	P I	技術表示
H 01 L 21/768				
21/28	301 R			
21/3205				

H 01 L 21/ 90	C
21/ 88	M
審査請求 有	請求項の数 8
	OL (全 8)

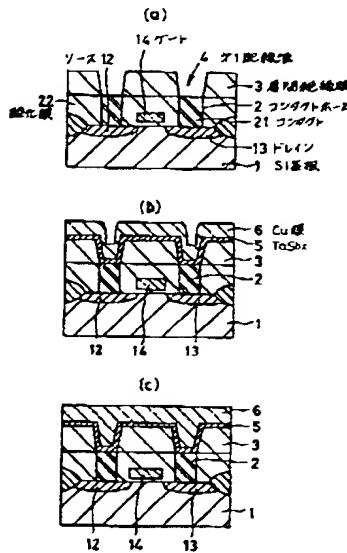
(21)出願番号	特願平6-281043	(71)出願人	000004237
(22)出願日	平成6年(1994)11月16日		日本電気株式会社 東京都港区芝五丁目7番1号
		(72)発明者	宮川 邦子 東京都港区芝五丁目7番1号 日本電 気株式会社内
		(74)代理人	弁理士 ▲柳川 信

(54)【発明の名称】 半導体装置の配線構造及びその製造方法

(57)【要約】

【目的】 低温リフローによるCu配線技術を実現し、生産性を向上させる。

【構成】 酸化膜22に開孔されたコンタクトホール2にコンタクト21を埋め込んだ上に層間絶縁物3を堆積した後で、順テープ状の第1配線溝4を形成する。第1配線溝4上にTaSb合金5及びCu膜6を成膜してからリフローを行ってCuを埋め込む。第1配線溝4へのCu膜6のリフローが終った後、第1配線溝4以外の層間絶縁物3上の領域に残余したCu及びTaSb合金を化学機械研磨によって除去し、第1溝配線を形成する。



BEST AVAILABLE COPY
特開平8-148

(2)

2

製造方法。

【請求項1】 少なくともピアホール及びコンタクトホールの一方と配線溝とを有する半導体装置の配線構造であって、前記ピアホール及び前記コンタクトホールの一方の底部及び側壁と前記配線溝の底部及び側壁とに成膜されかつCuとの共晶温度が850°C以下となる元素と前記Cuの拡散防止用バリアメタルとの合金からなる拡散防止膜と、前記拡散防止膜上に成膜されかつ前記ピアホール及び前記コンタクトホールの一方と前記配線溝とに各々埋め込まれるCu膜とを有することを特徴とする半導体装置の配線構造。

【請求項2】 前記拡散防止用バリアメタルはTaとNbとVとWとのうちの一つからなり、前記Cuとの共晶温度が850°C以下となる元素はSiとGeとMgとPとSbとのうちの一つからなることを特徴とする請求項1記載の半導体装置の配線構造。

【請求項3】 少なくともピアホール及びコンタクトホールの一方と配線溝とを有する半導体装置の配線構造であって、前記ピアホール及び前記コンタクトホールの一方の底部及び側壁と前記配線溝の底部及び側壁とに成膜されかつCuの拡散防止用バリアメタルからなる拡散防止膜と、前記Cuとの共晶温度が850°C以下となる元素と前記Cuとの合金からなりかつ前記拡散防止膜上に成膜されて前記ピアホール及び前記コンタクトホールの一方と前記配線溝とに各々埋め込まれるCu合金膜とを有することを特徴とする半導体装置の配線構造。

【請求項4】 前記拡散防止用バリアメタルはTaとNbとVとWとのうちの一つからなり、前記Cuとの共晶温度が850°C以下となる元素はSiとGeとMgとPとSbとのうちの一つからなることを特徴とする請求項3記載の半導体装置の配線構造。

【請求項5】 少なくともピアホール及びコンタクトホールの一方と配線溝とを有する半導体装置の製造方法であって、Cuとの共晶温度が850°C以下となる元素と前記Cuの拡散防止用バリアメタルとの合金からなる拡散防止膜を前記ピアホール及び前記コンタクトホールの一方の底部及び側壁と前記配線溝の底部及び側壁とに成膜する第1の工程と、Cu膜を前記拡散防止膜上に成膜する第2の工程と、前記ピアホール及び前記コンタクトホールの一方と前記配線溝とに夫々前記Cu膜を埋め込む第3の工程とからなることを特徴とする半導体装置の製造方法。

【請求項6】 前記第1の工程は、前記拡散防止膜をスパッタ法及び化学気相成長法のうち一方で前記ピアホール及び前記コンタクトホールの一方の底部及び側壁と前記配線溝の底部及び側壁とに成膜するようにしたことを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 前記第2の工程は、前記Cu膜を前記拡散防止膜上に室温でスパッタ成膜するようにしたことを特徴とする請求項5または請求項6記載の半導体装置の

10

20

30

40

50

製造方法。

【請求項8】 前記第3の工程は、前記スパッタされたCu膜を500°C以下の高温にさらしてCu・ピアホール及び前記コンタクトホールの一方と前記溝とに夫々埋め込むようにしたことを特徴とする請求項7記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の配線及び製造方法に関し、特に半導体装置のコンタクト・やスルーホール、及び配線の構造に関する。

【0002】

【従来の技術】 集積回路の高密度化に伴って、Alミニウム)を主成分として形成される金属配線の幅はいまや1/4 μm以下になりつつある。一方、積回路を高速で動作させるためには配線抵抗の低減が須である。

【0003】 そこで、配線幅が狭くなったことを本格的に配線の高さが必然的に高くなり、配線形の横比(アスペクト比)が大きく1を越えるようになれば、結果、配線形成プロセスが著しく困難になってしまいます。

【0004】 また、コンタクトホールやピアホール成においてはホールの微細化や高アスペクト比化にて、従来のスパッタ法では電極金属の被覆性が悪く、配線形成プロセスでは断線等の不都合が多発することになる。

【0005】 さらに、配線断面積を増加して配線抵抗を低減することは困難な状況にあるにもかかわらず、積回路の高速動作のためには動作電流の増加も必要で、配線における電流密度が増加の傾向にある。電流密度の増加はエレクトロマイグレーションやストレスグレーリングによる配線抵抗の増大を起こす大きなとなり、信頼性の劣化原因となる。以上のような種々な状況から、Alを主成分として形成される金属配線の劣化は深刻である。

【0006】 特に、深刻な信頼性劣化が生じるコンタクトホールやピアホール等の微細ホール内の場合には、部等への被覆性に優れたW(タンゲステン)の気相法によって、まず全面にWを堆積し、これをエッチングしてホール外の表面に堆積したWを除去してから、合金をスパッタし、その後に通常の露光技術とドライチングとを用いて配線を形成する方法がとられている。ところが、上記のようにWを介してコンタクトホールやピアホール等にAl合金配線を形成すると、配線の増大をもたらしてしまう。

【0007】 上述した如く、集積回路の微細化と高機能化に対して、もはやAl合金での対応は困難につつある。そこで、Alよりは電気抵抗率の小さい(第)が注目を浴び、Cuを主成分とした金属材料による配線技術の開発が盛んになってきている。電気抵抗

BEST AVAILABLE COPY

(3)

特開平8-148

3

以外にCuが注目されるもう一つの大きな理由はデバイス動作中のマイグレーションが起こりにくいことが期待されているからである。

【0008】しかしながら、Cu系材料ではAl系材料とは異なり、良好なドライエッチング技術が現在までのところ存在せず、微細加工が困難である。こうした理由からCu系材料での配線形成の試みはフォトリソグラフィ技術を利用したドライエッチングによる微細加工が困難であるため、液配線の方法が多く試みられている。

【0009】例えば、予め配線用の溝を形成したウェハにCu系材料を、溝の埋め込み性をある程度期待できる気相成長法で成膜し、その後に研磨にて表面酸化膜上の余分なCuを取り除く方法が提案されている。

【0010】また、配線用溝を埋め込む場合に、まずバリアメタルを全面にスパッタで成膜した後、Cu系材料をやはりスパッタ法で形成し、その後で熱処理を施してCuを半溶融状態にして溝に流し込み、溝外のCu及びバリアメタルを研磨によって取り除く方法等がある。

【0011】

【発明が解決しようとする課題】上述した従来の半導体装置のコンタクトホールやスルーホール、及び配線の構造では、Alを主成分として形成される金属配線の信頼性の劣化を防ぐためにCu系材料による金属配線が試みられている。

【0012】このCu系材料による金属配線を形成するための気相成長法による成膜は、一般にスパッタ法に比べてコンタクトホールやピアホールでの成膜速度が表面に比べて落ちることがなく、いわゆる埋め込み性に優れている。しかしながら、気相成長法による成膜は得られる膜質がスパッタ法に較べて充分ではなく、その電気抵抗率の場所的変動が大きい。また、気相成長法を採用しようとすると、新たに装置の導入等を要する必要もある。

【0013】このような点から基本的には埋め込み性が期待できないが、パレクCuと比較して電気抵抗率に関して遜色なく、かつターゲット材料を変更するのみで成膜条件の設定も容易なスパッタ法は優れた方法であり、このスパッタ法によるCu配線技術の実現が工業的には極めて重要である。このスパッタ法での唯一の難点は選択性や埋め込み性が期待できないことである。

【0014】そこで、スパッタ法でCu配線を形成した場合には、その後の熱処理によってCuを半溶融状態にして溝に流し込む方法がある。この方法ではCuの融点が高いために半溶融状態にするのに高温を必要とするので、容易に実現することができない。

【0015】半導体製造プロセスにおける熱処理温度の上限としてはプロセスの初期になされる熱酸化工程を過ぎれば、イオン注入後の活性化熱処理の温度(～850°C)までと考えられ、Cuのリフロー熱処理も850°C以下で行なうことがCu配線技術ではどうしても必要になる。Cuの融点に近い高温熱処理は配線形成段階での半

導体プロセスに適用することが難しく、かつ若干下げてリフローする場合には長時間の熱処理が必要なので、生産性が低下してしまう。

【0016】そこで、本発明の目的は上記の問題を消し、低温リフローによるCu配線技術を実現することができ、生産性を向上させることができる半導体配線構造及びその製造方法を提供することにある。

【0017】

【課題を解決するための手段】本発明による半導体の配線構造は、少なくともピアホール及びコンタクトホールの一方と配線溝とを有する半導体装置の配線構造であって、前記ピアホール及び前記コンタクトホールの底部及び側壁と、されかつCuとの共晶温度が850°C以下となるテルルの拡散防止用バリアメタルとの合金からなる拡散防止膜と、前記拡散防止膜上に成膜されかつ前記ホール及び前記コンタクトホールの一方と前記配線に各々埋め込まれるCu膜とを備えている。

【0018】本発明による他の半導体装置の配線構造は、少なくともピアホール及びコンタクトホールの一方と配線溝とを有する半導体装置の配線構造であって、前記ピアホール及び前記コンタクトホールの底部及び側壁と前記配線溝の底部及び側壁とに成膜されCuの拡散防止用バリアメタルからなる拡散防止膜と記Cuとの共晶温度が850°C以下となる元素と前記Cuとの合金からなりかつ前記拡散防止膜上に成膜され前記ピアホール及び前記コンタクトホールの一方と配線溝とに各々埋め込まれるCu合金膜とを備えている。

【0019】本発明による半導体装置の製造方法は、少なくともピアホール及びコンタクトホールの一方と溝とを有する半導体装置の製造方法であって、Cuの共晶温度が850°C以下となる元素と前記Cuの拡散防止用バリアメタルとの合金からなる拡散防止膜を前記ホール及び前記コンタクトホールの一方の底部及び側壁と前記配線溝の底部及び側壁とに成膜する第1の工程と、Cu膜を前記拡散防止膜上に成膜する第2の工程と、前記ピアホール及び前記コンタクトホールの一方と前記配線溝とに夫々前記Cu膜を埋め込む第3の工程からなっている。

【0020】

【作用】配線形成段階以降の半導体プロセスでの最適度としては上述したように850°C以下で行ななければならない。これを実現する手段としてはCuに不純物を添加し、Cuの共晶温度を下げることが重要である。

【0021】共晶温度が850°C以下になれば、経験ではあるが、この共晶温度よりも200度程度低い0°C付近の温度でリフローすることが可能となる。化による融点の低下は一般的に知られたことである。同時に合金化には電気抵抗率の上昇が伴うことも良

20

30

40

50

BEST AVAILABLE COPY

(4)

特開平8-148

5

られていることである。Cuを使用する目的の一つはA1に比べて電気抵抗率が低いことにあるので、Cuの合金化によって電気抵抗率が上昇しても、その電気抵抗率が少なくともA1の電気抵抗率を越えてはならないことが条件となる。

【0022】Cuに添加する元素であるSb(アンチモン)、Si(シリコン)、Ge(ゲルマニウム)、Mg(マグネシウム)、P(リン)は微量の添加によって共晶温度を低下するものであり、A1の電気抵抗率を越えることなく、その融点を容易に850°C以下の共晶温度まで下げることができる。

【0023】また、Cuは半導体中やSiO₂中に侵入すると、深い不純物準位を作り、電子特性に種々の悪影響を与えたり、拡散が早く、電子の特性変動の原因となるため、リフロー熱処理等の熱処理工程によつても半導体中やSiO₂に侵入するのを防止する必要がある。この意味で、Cuの下地金属となるパリアメタルの選択も重要で、パリアメタルとしてはTa(タンタル)、Nb(ニオブ)、V(バナジウム)、W(タンゲステン)において充分な有効性が確認されている。

【0024】

【実施例】次に、本発明について図面を参照して説明する。

【0025】図1(a)～(c)及び図2(a)～(c)は本発明の一実施例による半導体装置の製造工程の各工程を示す断面図である。これらの図においては、MOSトランジスタのゲート14とソース12とドレイン13とがすでに形成され、層間絶縁物が配された状態にあるSiウエハからの製造工程を示しており、これらソース12及びドレイン13の領域にコンタクトホール2を形成して電極金属を埋め込むプロセスから説明する。

【0026】まず、Si基板1上に形成されたソース12及びドレイン13の上の酸化膜2にコンタクトホール2を開孔し、TiN膜を膜厚100nmスパッタ法で形成し、その後にWをCVD(化学気相成長)法によって堆積してコンタクト21を埋め込む。

【0027】このWの堆積工程で酸化膜2の上に堆積したWをエッチバックで除去することでタンゲステンコンタクトができる。さらに、その上に層間絶縁物3を堆積した後で、層間絶縁物3に順テーパ状の第1配線溝4を形成する【図1(a)参照】。

【0028】統一して、10重量パーセントのSbを含んだTaSb合金5(TaSbx)を膜厚50nm成膜し、その上にCu膜6を膜厚500nm成膜する。次に、真空を破らずに、450°Cで3分間のリフローを行い、第1配線溝4内にCuを埋め込む【図1(b)参照】。なお、実施例ではTaSb合金5及びCu膜6を、第1配線溝4内部での膜厚が減少しないようにコリメートスパッタ法で堆積している。

50

6

【0029】TaSb合金5の成膜用のスパッタットのSb濃度は第1配線溝4の幅やTaSb合金膜厚、及びリフロー熱処理温度に依存してその量が変わが、0.1重量パーセントでも充分低温リフローを行うことができる。

【0030】また、電気抵抗率の点からはSb濃度が望ましいが、固溶限界の11重量パーセントを越えて15重量パーセントのSbを含んだターゲットを使用した場合に得られる配線の電気抵抗率はA1よりの電気抵抗率よりも低いものが得られる。

【0031】尚、この実施例においては10重量パーセントのターゲットを用いている。また、Cu膜6にあたってTaSb合金5を成膜後、真空を破らずCu膜6を形成することは、TaSb合金5の表面が曝されないようにして行なうことが後のリフローにて有利となるためである。

【0032】図1(c)は上記のリフロー熱処理後Cu膜6が第1配線溝4を埋めた状態を示している場合、熱処理を450°Cで3分間行なうことによってCuで第1配線溝4を埋めることができる。

【0033】SbはCu中での固溶限界が11重量パーセントであるが、この状態での共晶温度はCuの腐食温度83°Cに対して644°Cまで低下するもので、4°Cという低温でも容易にリフローが生じるものと解される。ただし、SbがCu膜6中に均一に混入するは必ずしもなく、リフローはCu膜6及びTaSb5がなす界面近傍のCu膜6中のSb濃度が上昇することで生じることが実験的に示唆されるところである。

【0034】このため、上記のように0.1重量パーセントから15重量パーセントの広い組成Sbを含んだTaSb合金のターゲットを用いてTaSb合金5をターゲットしたパリアメタル上においても、Cu膜6を低容易にリフローすることができる。

【0035】第1配線溝4へのCu膜6のリフロー

わった後、第1配線溝4以外の層間絶縁物3上の領域に残存したCu及びTaSb合金を化学機械研磨によることで、第1溝配線が形成される【図2(c)参照】。

【0036】図2(b)及び図2(c)は上記の第1溝配線の上に第2溝配線を形成する工程を示したもの。上述した第1溝配線の形成とまったく同じ工程で形成することができる。

【0037】すなわち、第1溝配線の上に層間絶縁物3を堆積してからビアホール7及び第2配線溝8を開孔し、TaSb合金5とCu膜6とをスパッタで形成する。その後に、リフロー熱処理及び化学機械研磨によって第2溝配線を形成する。

【0038】ただし、第1溝配線においてはコンタクトホール2に予めWを埋め込んだが、第2溝配線においてはビアホール7及び第2配線溝8に直接TaSb合金5を

50

BEST AVAILABLE COPY

(5)

特開平8-148

7

1を介してCu膜61を埋め込んでいる。

【0039】この第2溝配線の形成におけるピアホール7と第2配線溝8とを同時に埋め込む方法は、アスペクト比が比較的小さい場合にプロセスの簡便性の点から優れた方法である。

【0040】しかしながら、配線溝やピアホールのアスペクト比が大きくなった場合には第1溝配線のときと同様に、プラグをW等で埋め込んだ後に層間絶縁物3を形成してから第2溝配線8を開孔し、その第2溝配線8内にTaSb合金51を介してCu膜61をリフローする方法で対応することができる。尚、上記の工程を繰り返し実行することでどのような多層配線にも対応することができる。

【0041】図3(a)～(c)は本発明の他の実施例による半導体装置の製造工程の各工程を示す断面図である。これらの図においては、図2(a)に示す第1溝配線の形成後に第2溝配線を形成する工程を示している。

【0042】まず、第1溝配線3上に形成された層間絶縁物3にピアホール7を開孔し、その内部にTaN膜9を形成し、その後にW膜10を堆積してピアホール7を埋め込む【図3(a)参照】。

【0043】このW膜10の堆積工程で層間絶縁物3の上に堆積したWをエッチパックで除去してから、その上に層間絶縁物3を堆積した後で、層間絶縁物3に順テバ状の第2溝配線8を形成する【図3(b)参照】。

【0044】統いて、本発明の一実施例と同様にして、TaSb合金5を成膜し、その上にCu膜6を成膜する。次に、真空を破らずに、450°Cで3分間のリフローを行い、第2溝配線8内にCuを埋め込む。

【0045】第2溝配線8へのCu膜6のリフローが終わった後、第2溝配線8以外の層間絶縁物3上の領域に残余したCu及びTaSb合金を化学機械研磨によって除去することで、第2溝配線が形成される【図3(c)参照】。

【0046】上述したように、Cuの融点を合金化によって低下させることで、850°C以下の熱処理でリフローが可能となる。本発明の一実施例及び他の実施例ではCuの下地金属にTaSb合金という形態でSbを加えておき、熱処理時にCu中にSbを混入させることでCuの融点を低下させ、リフロー熱処理温度を低くしている。

【0047】つまり、本発明の一実施例及び他の実施例ではCuのリフロー温度をさげるために、CuのバリアメタルであるTaに予めSbを混入させたが、バリアメタルにはTaのみをスパッタ成膜し、その後にCuにSbを混入させたCuSb合金をターゲットとして成膜しても同じ結果を得ることができる。

【0048】また、Cuスパッタ時の少なくとも初期にSbを添加しても、あるいはCuスパッタ時の少なくとも初期にCuとSbとを交互にスパッタしても、低温リ

8

フローは可能である。これらの方法の場合にはリフローは可能である。これらの方法の場合にはリフローは可能である。これらの方法の場合にはリフローは可能である。

【0049】また、リフロー温度の低下はCuやメタルの成膜方法及びSbのそれらへの導入方法にされるものではないため、上述した方法以外にも方法があり、これに限定されない。

【0050】さらに、Cuの融点低下に寄与するとして、もっぱらSbを例にとって述べたが、SbのりTa、Ge、Mg、Pを用いてもCuのリフロー度を低下させることができる。これらの元素がCuリフローに有効な理由は、850°C以下のリフローが可能するために必要なこれらの元素の添加量が1重量パーセント以下と少量であり、これによって形成したCu配線の電気抵抗率の合金散乱による上昇を僅で、A1の電気抵抗率を越えない点にある。

【0051】尚、本発明の一実施例及び他の実施例半導体中やSiO₂中に配線材料であるCuが侵入のを防止する役目を果たすバリアメタルとして、もTaを例にとって述べたが、Taの代わりにNb、V、W等を用いても半導体中やSiO₂中に配線材料Cuが侵入するのを防止することができる。

【0052】このように、Cuとの共晶温度が850°C以下の元素Sbを含むTaSb合金5、51をタクトホール2やピアホール7、及び第1溝配線4、2溝配線8の底部及び側壁に成膜してからその上に膜6、61を成膜し、その後にリフロー熱処理を施コントラクトホール2やピアホール7、及び第1溝配線や第2溝配線8に夫々Cuを埋め込むことによって、電気抵抗率が低く、場所的変動のないスパッタ法で形成的Cuを低溫でしかも短時間でリフローすることができる。

【0053】この技術を用いることで、幅0.3μm以下、深さ0.5μm以上の溝配線にもCuを容易に埋め込むことができる。この場合、従来のA1系配線に比べて電気抵抗率を低くおさえることができ、半導体集積路の高速動作にも対応することができる。

【0054】上記の点のみならず、この技術を用いることで、A1系配線で問題となるストレスマイグレーションやエレクトロマイグレーションといったいわゆる配線における種々の劣化問題も回避することができ、素子信頼性を格段に向上させることができる。

【0055】さらに、スパッタ法を採用することができる利点はバリアメタル、あるいはリフロー可能とするための添加元素やCuのターゲットを用意すれば、同一スパッタ装置内で形成することができる。よって、装置への投資効率を高くし、工数を削減することができ、コスト低減に大きく寄与できることでき、生産性を向上させることができる。

【0056】尚、請求項の記載に関して本発明はさら

BEST AVAILABLE COPY

特開平8-148

(6)

次の感様をとりうる。

【0057】(1) 少なくともピアホール及びコンタクトホールの一方と配線溝とを有する半導体装置の製造方法であって、Cuの拡散防止用バリアメタルからなる拡散防止膜を前記ピアホール及び前記コンタクトホールの一方の底部及び側壁と前記配線溝の底部及び側壁とに成膜する第1の工程と、前記Cuとの共晶温度が850°C以下となる元素と前記Cuとの合金膜を前記拡散防止膜上に成膜する第2の工程と、前記ピアホール及び前記コンタクトホールの一方と前記配線溝とに夫々前記合金膜を埋め込む第3の工程とからなることを特徴とする半導体装置の製造方法。

【0058】(2) 少なくともピアホール及びコンタクトホールの一方と配線溝とを有する半導体装置の製造方法であって、Cuの拡散防止用バリアメタルからなる拡散防止膜をスパッタ法及び化学気相成長法のうち一方で前記ピアホール及び前記コンタクトホールの一方の底部及び側壁と前記配線溝の底部及び側壁とに成膜する第1の工程と、前記Cuとの共晶温度が850°C以下となる元素と前記Cuとの合金膜を前記拡散防止膜上に成膜する第2の工程と、前記ピアホール及び前記コンタクトホールの一方と前記配線溝とに夫々前記合金膜を埋め込む第3の工程とからなることを特徴とする半導体装置の製造方法。

【0059】(3) 少なくともピアホール及びコンタクトホールの一方と配線溝とを有する半導体装置の製造方法であって、Cuの拡散防止用バリアメタルからなる拡散防止膜を前記ピアホール及び前記コンタクトホールの一方の底部及び側壁と前記配線溝の底部及び側壁とに成膜する第1の工程と、前記Cuとの共晶温度が850°C以下となる元素と前記Cuとの合金膜を前記拡散防止膜上に室温でスパッタ成膜する第2の工程と、前記ピアホール及び前記コンタクトホールの一方と前記配線溝とに夫々前記合金膜を埋め込む第3の工程とからなることを特徴とする半導体装置の製造方法。

【0060】(4) 少なくともピアホール及びコンタクトホールの一方と配線溝とを有する半導体装置の製造方法であって、Cuの拡散防止用バリアメタルからなる拡散防止膜をスパッタ法及び化学気相成長法のうち一方で前記ピアホール及び前記コンタクトホールの一方の底部及び側壁と前記配線溝の底部及び側壁とに成膜する第1の工程と、前記Cuとの共晶温度が850°C以下となる元素と前記Cuとの合金膜を前記拡散防止膜上に室温でスパッタ成膜する第2の工程と、前記ピアホール及び前記コンタクトホールの一方と前記配線溝とに夫々前記合金膜を埋め込む第3の工程とからなることを特徴とする半導体装置の製造方法。

【0061】(5) 少なくともピアホール及びコンタクトホールの一方と配線溝とを有する半導体装置の製造方法であって、Cuの拡散防止用バリアメタルからなる拡

10

散防止膜を前記ピアホール及び前記コンタクトホールの底部及び側壁と前記配線溝の底部及び側壁に成膜する第1の工程と、前記Cuとの共晶温度が850°C以下となる元素と前記Cuとの合金膜を前記拡散防止膜上に室温でスパッタ成膜する第2の工程と、前記Cuの拡散されたCu膜を500°C以下の高温にさらしてCuを前記ピアホール及び前記コンタクトホールの底部及び側壁に成膜する第3の工程とからなることを特徴とする半導体装置の製造方法。

【0062】(6) 少なくともピアホール及びコンタクトホールの一方と配線溝とを有する半導体装置の製造方法であって、Cuの拡散防止用バリアメタルからなる拡散防止膜をスパッタ法及び化学気相成長法のうち一方で前記ピアホール及び前記コンタクトホールの一方の底部及び側壁と前記配線溝の底部及び側壁とに成膜する第1の工程と、前記Cuとの共晶温度が850°C以下となる元素と前記Cuとの合金膜を前記拡散防止膜上に室温でスパッタ成膜する第2の工程と、前記Cuの拡散されたCu膜を500°C以下の高温にさらしてCuを前記ピアホール及び前記コンタクトホールの一方と前記配線溝とに夫々埋め込む第3の工程とからなることを特徴とする半導体装置の製造方法。

【0063】

【発明の効果】以上説明したように本発明の半導体の配線構造によれば、ピアホール及びコンタクトホールの一方の底部及び側壁と配線溝の底部及び側壁にされかつCuとの共晶温度が850°C以下となる元素Cuの拡散防止用バリアメタルとの合金でCuの拡散防止膜を形成し、この拡散防止膜上にCu膜を成膜し、リフローすることでピアホール及びコンタクトホールの一方と配線溝とに各々Cuを埋め込むことによって、低温リフローによるCu配線技術を実現することができ、生産性を向上させることができるという効果がある。

【0064】また、本発明の半導体装置の製造方法によれば、Cuとの共晶温度が850°C以下となる元素Cuの拡散防止用バリアメタルとの合金からなる拡散防止膜をピアホール及びコンタクトホールの一方の底部及び側壁と配線溝の底部及び側壁とに成膜してからそのCu膜を成膜し、その後にリフロー熱処理を施してピアホール及びコンタクトホールの一方と配線溝とに夫々Cuを埋め込むことによって、低温リフローによるCu配線技術を実現することができ、生産性を向上させることができるという効果がある。

【図面の簡単な説明】

【図1】(a)～(c)は本発明の一実施例による半導体装置の製造工程の各工程を示す断面図である。

【図2】(a)～(c)は本発明の一実施例による半導体装置の製造工程の各工程を示す断面図である。

【図3】(a)～(c)は本発明の他の実施例による

BEST AVAILABLE COPY

(7)

特開平8-148

11

12

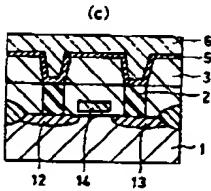
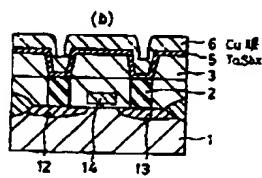
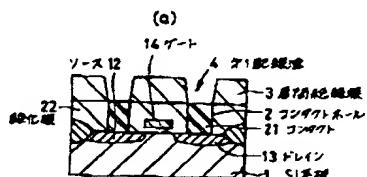
導体装置の製造工程の各工程を示す断面図である。

【符号の説明】

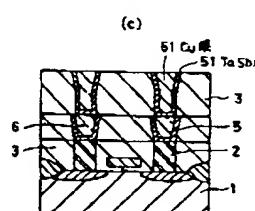
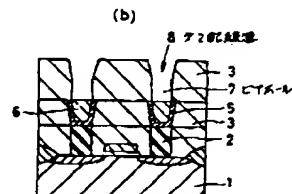
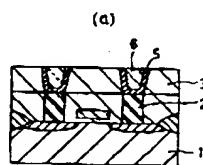
- 1 Si基板
- 2 コンタクトホール
- 3 層間絕縁膜
- 4 第1配線溝

- 5, 51 TaSb合金
- 6, 61 Cu膜
- 7 ピアホール
- 8 第2配線溝
- 9 TiN膜
- 10 W膜

【図1】



【図2】



BEST AVAILABLE COPY

(8)

特開平8-148

【図3】

